

RCA PDO30097AB

CITED BY APPLICANT

51

Int. Cl. 2:

H 04 J 3/06

H 04 L 7/00

19 **BUNDESREPUBLIK DEUTSCHLAND**

DEUTSCHES



PATENTAMT



DE 27 12 775 B 1

11

Auslegeschrift 27 12 775

21

Aktenzeichen: P 27 12 775.9-31

22

Anmeldetag: 23. 3. 77

43

Offenlegungstag: —

44

Bekanntmachungstag: 20. 7. 78

31

Unionspriorität:

32 33 31

54

Bezeichnung: Schaltungsanordnung zur empfangsseitigen Auswertung von Kennbits und zur Rahmensynchronisierung eines Zeitmultiplexsystems mit Hilfe fest vorgegebener Synchronisierworte

71

Anmelder: Siemens AG, 1000 Berlin und 8000 München

72

Erfinder: Dieter, Georg, Dipl.-Ing., 8191 Königsdorf;
Reisinger, Konrad, Dipl.-Ing., 8011 Zorneding;
Singer, Johannes, Dipl.-Ing., 8000 München; Ulseth, Jan Erik, Dipl.-Ing., Skjetten (Norwegen)

55

Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:
DE-AS 24 13 012

Patentansprüche:

1. Schaltungsanordnung zur empfangsseitigen Auswertung von Kennbits und zur Rahmensynchronisierung eines Zeitmultiplexsystems mit Hilfe fest vorgegebener Synchronisierworte mit je s Bits, unter Verwendung eines Zeitmultiplexsignals, das nach je p Bits je ein Kennbit und pro Zeitmultiplexrahmen m Kennbits enthält, von denen je s Kennbits das Synchronisierwort bilden, mit einem ersten Taktgeber, der einen Bittakt erzeugt, mit einem ersten Adressengeber, der Adressen erster Art erzeugt und damit einen Demultiplexer (Kanalverteiler) steuert, mit einer empfangsseitigen Synchronisiereinrichtung, die mit Hilfe eines auf das Synchronisierwort ansprechenden Decoders den ersten Adressengeber zu Beginn des Zeitmultiplexrahmens zurücksetzt und mit mehreren Pufferspeichern, die mit Hilfe des Demultiplexers gesteuert werden und über die einzelne Bits des Zeitmultiplexsignals entsprechenden Datensenken zugeleitet werden, dadurch gekennzeichnet, daß die empfangsseitige Synchronisiereinrichtung (SE) einen zweiten Adressengeber (AG 2) enthält, der $p+1$ Adressen zweiter Art (ADR 2) erzeugt, die etwa gleichzeitig mit den einzelnen Bits des Zeitmultiplexsignals (E) auftreten, daß die Synchronisiereinrichtung (SE) einen adressierbaren Speicher (RAM) mit $p+1$ Speicherblöcken zu je $m-1$ Speicherzellen enthält, daß ein zweiter Taktgeber (TG 2) vorgesehen ist, der während der Dauer der einzelnen Bits des Zeitmultiplexsignals (E) ein binäres Lese/Schreibsignal (R/W) erzeugt, das pro Bit je eine Einlesephase und je eine Auslesephase des Speichers (RAM) festlegt, daß ein Zwischenspeicher (ZSP 1) vorgesehen ist, der s Speicherzellen (aa, bb, cc) aufweist, daß das Zeitmultiplexsignal (E) einer ersten Speicherzelle (aa) des Zwischenspeichers (ZSP 1) eingangs zugeführt ist, daß die weiteren Speicherzellen (bb, cc) des Zwischenspeichers (ZSP 1) eingangs an Ausgänge des Speichers (RAM) angeschlossen sind, daß die Ausgänge der ersten $s-1$ Speicherzellen (aa, bb) an Eingänge (a, b) des Speichers (RAM) angeschlossen sind, und daß die Ausgänge der Speicherzellen des Zwischenspeichers (ZSP 1) an den Decoder (DC) angeschlossen sind (Fig. 1, 3, 7).

2. Schaltungsanordnung zur empfangsseitigen Auswertung der $m-s$ Kennbits, die außer den s Kennbits des Synchronisierwortes während der Dauer des Zeitmultiplexrahmens auftreten nach Patentanspruch 1, dadurch gekennzeichnet, daß die empfangsseitige Synchronisiereinrichtung (SE) als dritten Adressengeber einen Adressenspeicher (AS) enthält, an dem die Adressen zweiter Art (ADR 2) anliegen, der jene Adressen zweiter Art (ADR 2) speichert, die beim Ansprechen des Decoders (DC) auftreten und der über seine Ausgänge die jeweils gespeicherte Adresse als Adressen dritter Art (ADR 3) abgibt, daß ein Vergleichs (VG 2) vorgesehen ist, der die Adressen zweiter Art (ADR 2) und die Adressen dritter Art (ADR 3) laufend vergleicht und bei Gleichheit dieser Adressen Vergleichsimpulse (V) abgibt, daß als vierter Adressengeber (AG 4) ein Binärzähler vorgesehen ist, dem die Vergleichsimpulse als Zählimpulse zugeführt sind, dessen Zählerstand mit Adressen vierter Art (ADR 4)

signalisiert und beim Ansprechen des Decodierers (DC) zurückgesetzt wird, daß $m-s$ weitere Decodierer (DC 000, DC 001) vorgesehen sind, die auf je eine der Adressen vierter Art (ADR 4) ansprechen und je ein Decodiersignal abgeben, und daß $m-s$ Schaltglieder (U 0, U 1) vorgesehen sind und je einem der $m-s$ weiteren Decodierer (DC 000, DC 001) zugeordnet sind, deren Eingänge der Bittakt (T 4), das Vergleichssignal (V) und je eines der Decodiersignale zugeführt sind und deren Ausgangssignale die einzelnen $m-s$ Kennbits signalisieren (Fig. 7, 8).

Die Erfindung bezieht sich auf eine Schaltungsanordnung zur empfangsseitigen Auswertung von Kennbits und zur Rahmensynchronisierung eines Zeitmultiplexsystems mit Hilfe fest vorgegebener Synchronisierworte mit je s Bits, unter Verwendung eines Zeitmultiplexsignals, das nach je p Bits je ein Kennbit und pro Zeitmultiplexrahmen m Kennbits enthält, von denen je s Kennbits das Synchronisierwort bilden, mit einem ersten Taktgeber, der einen Bittakt erzeugt, mit einem ersten Adressengeber, der Adressen erster Art erzeugt und damit einen Demultiplexer (Kanalverteiler) steuert, mit einer empfangsseitigen Synchronisiereinrichtung, die mit Hilfe eines auf das Synchronisierwort ansprechenden Decoders den ersten Adressengeber zu Beginn des Zeitmultiplexrahmens zurücksetzt und mit mehreren Pufferspeichern, die mit Hilfe des Demultiplexers gesteuert werden und über die einzelne Bits des Zeitmultiplexsignals entsprechenden Datensenken zugeleitet werden.

Zur Rahmensynchronisierung eines Zeitmultiplexsystems können bekanntlich innerhalb eines Zeitmultiplexrahmens auftretende und fest vorgegebene Synchronisierworte verwendet werden, die während der Dauer der einzelnen aufeinanderfolgenden Zeitmultiplexrahmen in einem Schieberegister gespeichert werden. Wenn diejenigen Speicherzellen des Schieberegisters — in denen am Ende des Zeitmultiplexrahmens das Synchronisierwort gespeichert ist — mit einem Decodierer verbunden sind, dann gibt der Decodierer bei Auftreten des Synchronisierwortes ein Signal ab, mit dessen Hilfe die Zeitmultiplexrahmensynchronisierung auf der Empfangsseite durchführbar ist.

Gemäß der deutschen Auslegeschrift 24 13 012 ist ein Verfahren zur Zeitmultiplexrahmen-Einphasung bekannt, bei dem innerhalb eines Zeitmultiplexrahmens eine lückenlos aufeinanderfolgende Folge von Kennbits übertragen wird. Die übertragenen Daten werden seriell in ein Schieberegister eingegeben. Die einzelnen Stufen des Schieberegisters sind an einen Decodierer angeschlossen, der ein Decodiersignal abgibt, falls in den Stufen des Schieberegisters die Folge der Kennbits gespeichert ist. Mit Hilfe des Decodiersignals wird der Start des Zeitmultiplexrahmens festgelegt.

Gemäß dieser deutschen Auslegeschrift 24 13 012 wird somit eine zusammenhängende Folge von Kennbits verwendet, die den Vorzug hat, daß zur Erkennung der Synchronisierworte ein Schieberegister verwendbar ist, das ebenso viele Stufen aufweist wie Kennbits vorgesehen sind. Der für das Schieberegister erforderliche technische Aufwand ist somit unter diesen Voraussetzungen nur von der Anzahl der Kennbits abhängig.

Eine zusammenhängende Folge von Kennbits hat

aber insbesondere dann Nachteile, wenn mit Störungen auf der Übertragungsstrecke zu rechnen ist. In diesem Fall können alle Kennbits eines Wortes gestört empfangen werden, so daß die Rahmensynchronisierung in Frage gestellt ist. Unter dieser Voraussetzung ist es günstiger, die Kennbits entweder einzeln oder in kleinen Gruppen zwischen die Informationsbits einzufügen, weil kaum damit zu rechnen ist, daß alle Bits eines Zeitmultiplexrahmens gestört empfangen werden. Unter der Voraussetzung einzeln übertragener Kennbits ist aber der technische Aufwand für das Schieberegister nicht nur von der Anzahl der Kennbits abhängig, sondern auch von der Anzahl der Informationsbits, die innerhalb eines Zeitmultiplexrahmens übertragen werden. Mit einem besonders großen Aufwand für das Schieberegister ist dann zu rechnen, wenn die Kennbits nicht nur als Synchronisierbits, sondern auch zur Bewältigung anderer Aufgaben herangezogen werden. In diesem Fall ist somit mit relativ vielen Informationsbits und Kennbits pro Zeitmultiplexrahmen zu rechnen, und in diesem Zusammenhang erhöht sich auch der technische Aufwand für ein Schieberegister zur Speicherung der Kennbits.

Der Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung zur empfangsseitigen Auswertung von Kennbits und zur Rahmensynchronisierung eines Zeitmultiplexsystems anzugeben, das sich durch geringen technischen Aufwand auszeichnet. Die Erfindung beruht auf der Erkenntnis, daß sich diese Aufgabe insbesondere dann günstig realisieren läßt, wenn das Zeitmultiplexsignal nach je p Bits je ein Kennbit enthält, von denen einige das Synchronisierwort bilden.

Die erfindungsgemäße Aufgabe wird dadurch gelöst, daß die empfangsseitige Synchronisiereinrichtung einen zweiten Adressengeber enthält, der $p+1$ Adressen zweiter Art erzeugt, die etwa gleichzeitig mit den einzelnen Bits des Zeitmultiplexsignals auftreten, daß die Synchronisiereinrichtung einen adressierbaren Speicher mit $p+1$ Speicherblöcken zu je $m-1$ Speicherzellen enthält, daß ein zweiter Taktgeber vorgesehen ist, der während der Dauer der einzelnen Bits des Zeitmultiplexsignals ein binäres Lese/Schreibsignal erzeugt, das pro Bit je eine Einlesephase und je eine Auslesephase des Speichers festlegt, daß ein Zwischenspeicher vorgesehen ist, der s Speicherzellen aufweist, daß das Zeitmultiplexsignal einer ersten Speicherzelle des Zwischenspeichers eingangsgeführt ist, daß die weiteren Speicherzellen des Zwischenspeichers eingangs an Ausgänge des Speichers angeschlossen sind, daß die Ausgänge der ersten $s-1$ Speicherzellen an Eingänge des Speichers angeschlossen sind, und daß die Ausgänge der Speicherzellen des Zwischenspeichers an den Decoder angeschlossen sind.

Die erfindungsgemäße Schaltungsanordnung zeichnet sich durch geringen technischen Aufwand aus, weil der verwendete adressierbare Speicher in Kombination mit dem nur vergleichsweise sehr kurzen Zwischenspeicher im Handel wesentlich preisgünstiger erhältlich sind als ein Schieberegister zur Speicherung aller Bits eines Zeitmultiplexrahmens.

Falls von den m Kennbits eines Zeitmultiplexrahmens nicht alle Kennbits für das Synchronisierwort benötigt werden, dann ist es zweckmäßig die verbleibenden Kennbits zur Übermittlung von Informationen zu verwenden, die im Zusammenhang stehen mit dem Betrieb des Zeitmultiplexsystems. Beispielsweise können mit diesen verbleibenden Kennbits Alarmsignale von der Sendeseite zur Empfangsseite übertragen

werden, die das Versagen von Einrichtungen auf der Sendeseite des Zeitmultiplexsystems signalisieren. Falls also außer den s Kennbits des Synchronisierwortes auch die restlichen $m-s$ Kennbits eines Zeitmultiplexrahmens signalisiert werden sollen, ist es zweckmäßig, daß die empfangsseitige Synchronisiereinrichtung als dritten Adressengeber einen Adressenspeicher enthält, an dem die Adressen zweiter Art anliegen, der jene Adressen zweiter Art speichert, die beim Ansprechen des Decoders auftreten und der über seine Ausgänge die jeweils gespeicherte Adresse als Adressen dritter Art abgibt, daß ein Vergleicher vorgesehen ist, der die Adressen zweiter Art und die Adressen dritter Art laufend vergleicht und bei Gleichheit dieser Adressen Vergleichsimpulse abgibt, daß als vierter Adressengeber ein Binärzähler vorgesehen ist, dem die Vergleichsimpulse als Zählimpulse zugeführt sind, dessen Zählerstand mit Adressen vierter Art signalisiert und beim Ansprechen des Decodierers zurückgesetzt wird, daß $m-s$ weitere Decodierer vorgesehen sind, die auf je eine der Adressen vierter Art ansprechen und je ein Decodiersignal abgeben, und daß $m-s$ Schaltglieder vorgesehen sind, die einem der $m-s$ weiteren Decodierer zugeordnet sind, deren Eingänge der Bittakt das Vergleichssignal und je eines der Decodiersignale zugeführt sind und deren Ausgangssignale die einzelnen $m-s$ Kennbits signalisieren.

Im folgenden werden Ausführungsbeispiele der Erfindung anhand der Fig. 1 bis 8 beschrieben. Es zeigt

Fig. 1 ein Blockschaltbild eines Zeitmultiplexsystems, Fig. 2 einige Diagramme, welche die Lage der Kennbits im Zeitmultiplexrahmen zeigen,

Fig. 3 ein erstes Ausführungsbeispiel einer empfangsseitigen Synchronisiereinrichtung, bei der vorausgesetzt wird, daß alle Kennbits zur Signalisierung des Synchronisierwortes benötigt werden,

Fig. 4 ein erstes Ausführungsbeispiel eines in Fig. 3 schematisch dargestellten Decodierers,

Fig. 5 ein zweites Ausführungsbeispiel eines in Fig. 3 schematisch dargestellten Decodierers,

Fig. 6 einige Zeitdiagramme zur Erläuterung der Arbeitsweise der in Fig. 3 dargestellten Synchronisiereinrichtung,

Fig. 7 ein zweites Ausführungsbeispiel einer empfangsseitigen Synchronisiereinrichtung, bei der vorausgesetzt wird, daß nur ein Teil der Kennbits zur Bildung des Synchronisierwortes und die restlichen Kennbits zur Übertragung zusätzlicher Informationen verwendet werden, und

Fig. 8 einige Zeitdiagramme zur Erläuterung der Wirkungsweise der Synchronisiereinrichtung gemäß Fig. 7.

Fig. 1 zeigt ein Zeitmultiplexsystem, bei dem sendeseitig die Datenquellen $DQ1$ bis DQn , der Adressengeber AG , der Taktgeber TG , der Multiplexer MUX , der Synchronisiereinrichtung SS und die Übertragungseinrichtung US angeordnet sind. Die Signale $B1$ bis Bn können in einem vorgegebenen Bitraster auftreten, wobei nicht dargestellte Pufferspeicher vorgesehen sein können, um Abweichungen der Daten von diesem vorgegebenen Bitraster auszugleichen. Die einzelnen Bits der Datenquellen $DQ1$ bis DQn können mit gleicher Bitrate, aber auch mit verschiedener Bitrate abgegeben werden. Mit jeder Adresse des Adressengebers AG wird eines der Signale $B1$ bis Bn an den Ausgang des Multiplexers MUX durchgeschaltet, wobei die Adressen derart abgegeben werden können, daß die einzelnen Bits der Datenquellen

im Signal C bitweise oder envelopeweise verschachtelt sind. Der Taktgeber TG gibt das Taktsignal $T1$ ab und steuert damit den Adressengeber AG . Mit Hilfe der Synchronisiereinrichtung SS werden in das Signal C Kennbits eingefügt, wie später noch anhand der Fig. 2 erläutert wird. Das dabei entstehende Signal D wird der sendeseitigen Übertragungseinrichtung US zugeleitet und in bekannter Weise zur Empfangsseite übertragen.

Auf der Empfangsseite des Systems sind angeordnet die Übertragungseinrichtung UE , der Taktgeber $TG1$, die Synchronisiereinrichtung SE , der Adressengeber $AG1$, der Demultiplexer $DEMUX$, die Pufferspeicher $PS1$ bis PSn und die Datensinken $DS1$ bis DSn . Das von der Übertragungseinrichtung UE abgegebene Signal E gleicht weitgehend dem sendeseitigen Signal D . Die beiden Signale D und E sind Zeitmultiplexsignale, die außer den einzelnen verschachtelten Bits der Datenquellen auch Kennbits enthalten, die ein Synchronisierwort zur Rahmensynchronisierung bilden. Mit Hilfe der Synchronisiereinrichtung SE wird das Synchronisierwort erkannt, und mit Hilfe des Taktsignals $T3$ wird der Adressengeber $AG1$ zu Beginn der Zeitmultiplexrahmen zurückgesetzt, so daß dann mit der Ausgabe der Adressen $ADR1$ begonnen wird. Das Signal F , das die Datenbits der Datenquellen enthält, liegt an den Eingängen der Pufferspeicher $PS1$ bis PSn . Mit Hilfe des Demultiplexers $DEMUX$ gelangt das Taktsignal $T4$ zu bestimmten Zeitpunkten zu einzelnen Pufferspeichern, die dadurch aktiviert werden und die betreffenden Bits des Signals F übernehmen. Über die Ausgänge dieser Pufferspeicher werden dann diese Bits an die Datensinken $DS1$ bis DSn weitergegeben. Der Taktgeber $TG1$ erzeugt die Taktsignale $T4$ und $T5$ zum Betrieb des Adressengebers $AG1$ und der Synchronisiereinrichtung SE .

Fig. 2 zeigt Details des sendeseitig vorhandenen Multiplexsignals D . Allen dargestellten Ausführungsformen $D/1$, $D/2$, $D/3$ ist gemeinsam, daß nach jeweils p Bits eines der Kennbits $K1, K2, \dots, Km$ folgt. Innerhalb des Impulsrahmens r fallen somit insgesamt m Gruppen mit je $p+1$ Bits. Die Signale $D/1$ und $D/2$ beziehen sich auf eine bitweise Verschachtelung. Gemäß dem Signal $D/1$ wird angenommen, daß p Bits von den Datenquellen $DQ1$ bis $DQn-1$ geliefert werden, wogegen die Kennbits $K1, K2, \dots, Km$ von der Datenquelle DQn geliefert werden. Beim Signal $D/2$ wird angenommen, daß die p Bits von den Datenquellen $DQ1$ bis DQn geliefert werden und daß die zugehörigen Kennbits $K1$ bis Km mit Hilfe der Synchronisiereinrichtung SS eingefügt werden.

Das Signal $D/3$ bezieht sich auf envelopeweise Verschachtelung. Dabei werden gemäß dem Signal $D/3$ jeweils nur die p Bits von den Datenquellen $DQ1$ bis DQn geliefert, wogegen die Kennbits $K1, K2, \dots, Km$ mit Hilfe der Synchronisiereinrichtung SS hinzugefügt werden.

Unabhängig davon, welches der Signale D vorausgesetzt wird, sind zwei Fälle zu unterscheiden, wonach die Synchronisierworte entweder aus allen Kennbits $K1, K2, \dots, Km$ gebildet werden oder wonach die Synchronisierworte nur aus einigen dieser Kennbits gebildet werden, wogegen die restlichen Kennbits zur Übertragung zusätzlicher Informationen verwendet werden.

Fig. 3 zeigt ein erstes Ausführungsbeispiel $SE1$ der sendeseitigen Synchronisiereinrichtung, wobei vorausgesetzt wird, daß das Synchronisierwort aus allen Kennbits gebildet wird. Die Wirkungsweise dieser Synchronisiereinrichtung wird nun anhand der in Fig. 6

dargestellten Zeitdiagramme erläutert.

In Fig. 6 ist oben das Signal E dargestellt, das mit $p=3$ und mit $m=3$ dem in Fig. 2 dargestellten Zeitmultiplexsignal $D/2$ gleicht. Dabei werden gemäß Fig. 6 zwecks einfacherer Darstellung nur drei Datenquellen angenommen, wobei die Datenquelle $DQ1$ die Bits 12, 16, 20, 24, eine zweite Datenquelle die Bits 13, 17, 21, 25 und die dritte Datenquelle 14, 18, 22, 26 liefert. Die Kennbits $K1, K2, K3$ werden somit mit Hilfe der Synchronisiereinrichtung SS eingefügt, und der Impulsrahmen r besteht aus insgesamt $m=3$ Gruppen von je $p+1=4$ Bits. Der in Fig. 1 dargestellte Taktgeber $TG1$ liefert die Bittakte $T5$ und $T4$, die sich lediglich durch eine Phasenverschiebung voneinander unterscheiden. Der in Fig. 3 dargestellte Adressengeber $AG2$ wird mit den positiven Impulsflanken des Taktsignals $T5$ angesteuert und liefert insgesamt $p+1=4$ verschiedene Adressen 11, 00, 01, 10. Der adressierbare Speicher RAM besitzt $p+1=4$ Speicherblöcke, die mit den Adressen 00, 01, 10, 11 adressiert werden. Jeder Speicherblock besitzt $m-1=2$ Speicherzellen. Beispielsweise besitzt der erste Block die beiden Speicherzellen $a00$ und $b00$. Mit Hilfe des Taktgebers $TG2$ wird das Signal R/W abgeleitet, das mit $R/W=1$ eine Lese- und mit $R/W=0$ eine Schreibphase festlegt. In Abhängigkeit von diesem Signal R/W werden somit aus den jeweils mit der Adresse $ADR2$ adressierten Speicherzellen Informationen gelesen bzw. in die jeweils adressierten Speicherzellen Informationen eingeschrieben.

Der Zwischenspeicher $ZSP1$ übernimmt Informationen mit den positiven Flanken des Taktsignals $T4$. Die Speicherzelle aa speichert etwas zeitverzögert das Zeitmultiplexsignal E . Es wird angenommen, daß die in den Speicherzellen bb und cc übernommenen Informationen zunächst nicht bekannt sind.

Zum Zeitpunkt $t1$ beginnt eine Schreibphase, so daß mit $ADR2=01$ das in der Speicherzelle aa gespeicherte Bit 14 in die Speicherzelle $a01$ und das in der Speicherzelle bb gespeicherte Bit X in die Speicherzelle $b01$ übernommen wird. Diese Speicherzellen $a01$ bzw. $b01$ bleiben bis zum Zeitpunkt $t9$ gespeichert, zu dem neuerdings die Adresse $ADR2=01$ aufgerufen wird, so daß die Bits 18 bzw. 14 in die Speicherzellen $a01$ bzw. $b01$ übernommen werden. Die Speicherzelle $a01$ speichert somit jedes vierte Bit, insbesondere das Bit 14, 18, 22, 26. Zum Zeitpunkt $t3$ beginnt wieder eine Schreibphase, betreffend die Adresse $ADR2=10$, so daß die Speicherzellen $a10$ bzw. $b10$ die Bits $K1$ bzw. X übernommen werden. Auch in diesen Fällen wird weiterhin jedes vierte Bit übernommen, so daß die Speicherzelle $a10$ der Reihe nach die Kennbits $K1, K2, K3$ speichert, wogegen die Speicherzelle $b10$ der Reihe nach die Bits $X, K1, K2$ speichert. Zum Zeitpunkt $t5$ ist die Adresse $ADR2=11$ aufgerufen, so daß die Speicherzelle $a11$ das Bit 16 und die Speicherzelle $b11$ das Bit X übernimmt. Zum Zeitpunkt $t7$ wird die Adresse $ADR2=00$ aufgerufen, so daß Informationen in den Speicherblock 00 übernommen werden, wie die Speicherzellen $a00$ und $b00$ zeigen.

Die Speicherzelle bb übernimmt die jeweils adressierten Informationen aus den Zellen $a00, a01, a10, a11$, und die Speicherzelle cc übernimmt die Informationen aus den jeweils adressierten Speicherzellen $b00, b01, b10, b11$. Diese Informationsübernahmen erfolgen mit den positiven Flanken des Taktsignals $T4$ zu den Zeitpunkten $t2, t4, t6, t10, t12, t14, t16, t18$. Beispielsweise ist zum Zeitpunkt $t8$ die Adresse

$ADR2=01$ eingestellt, so daß das Bit 14 der Speicherzelle $a01$ in die Speicherzelle bb übernommen wird. In ähnlicher Weise wird zum Zeitpunkt $t16$ das Bit 14 der Speicherzelle $b01$ in die Speicherzelle cc übernommen. Wesentlich ist, daß ab dem Zeitpunkt $t18$ bis zum Zeitpunkt $t20$ in den Speicherzellen aa , bb , cc die Kennbits $K3$, $K2$, $K1$ gespeichert sind. Es sind dies genau jene Kennbits, welche das Synchronisierwort bilden. Mit Hilfe des Decoders DC wird dieses Synchronisierwort erkannt und mit dem Signal $T7$ zum Zeitpunkt $t18$ signalisiert. Mit den Signalen $T7$ und $T5$ und mit Hilfe des UND-Gliedes $U2$ wird das Signal $T3$ gewonnen, das den Beginn des neuen Zeitmultiplexrahmens am Anfang des Bits 24 markiert. Mit diesem Signal $T3$ wird der in Fig. 1 dargestellte Adressengeber $AG1$ erforderlichenfalls zurückgestellt, so daß er ab diesen Zeitpunkten von neuem mit der Ausgabe der Adressen $ADR1$ beginnt. Damit ist der Zeitmultiplexrahmen synchronisiert. Mit Hilfe der Dekompressionsstufe DK wird das Signal F gewonnen, das nur die Datenbits 12, 13, 14, 16, 17, 18, 20..., aber nicht die Kennbits $K1$, $K2$, $K3$ enthält.

Fig. 4 zeigt ein Ausführungsbeispiel des in Fig. 3 dargestellten Decoders DC . Der Festwertspeicher $FSP1$ gibt dauernd das Synchronisierwort $K3$, $K2$, $K1$ an den Vergleichler $VG1$ ab, der laufend die vom Zwischenspeicher $ZSP1$ abgegebenen Worte mit dem Synchronisierwort vergleicht und der bei Gleichheit das Signal $T7$ abgibt.

Fig. 5 zeigt ein weiteres Ausführungsbeispiel des in Fig. 3 dargestellten Decoders DC der adressierbare Festwertspeicher $ROM1$ ist derart eingestellt, daß er nur dann das Signal $T1$ abgibt, wenn vom Zwischenspeicher $ZSP1$ das Synchronisierwort abgegeben wird.

Fig. 7 zeigt die Synchronisiereinrichtung $SE/2$ als Ausführungsbeispiel der in Fig. 1 dargestellten Synchronisiereinrichtung SE . Es wird nunmehr vorausgesetzt, daß einige der Kennbits, beispielsweise $s=3$ Kennbits zur Kennzeichnung des Synchronisierwortes herangezogen werden, wogegen die übrigen $m-s$ Kennbits zur Übertragung zusätzlicher Informationen verwendet werden. Die Wirkungsweise der in Fig. 7 dargestellten Synchronisiereinrichtung wird nun anhand der in Fig. 8 dargestellten Zeitdiagramme erläutert.

Die Fig. 8 zeigt oben das Zeitmultiplexsignal E , bei dem nach je $p=3$ Bits je ein Kennbit $K1$, $K2$, $K3$, $K4$, $K5$ auftritt. Innerhalb des Zeitmultiplexrahmens r werden somit $m=5$ Gruppen von Bits übertragen, die aus je drei Bits und aus je einem Kennbit gebildet werden. Dieses Zeitmultiplexsignal E könnte einem der in Fig. 2 dargestellten Zeitmultiplexsignale $D/1$, $D/2$, $D/3$ entsprechen.

Es wird angenommen, daß das Synchronisierwort durch die Kennbits $K3$, $K4$, $K5$ gebildet wird. Dieses

Synchronisierwort $K3$, $K4$, $K5$ wird somit sendeseitig in das Zeitmultiplexsignal D eingefügt und ist im Zeitmultiplexsignal E konstant vorhanden. Im Gegensatz dazu wird angenommen, daß die Kennbits $K1$ und $K2$ verschiedene Binärwerte annehmen können und daß mit Hilfe dieser Binärwerte Informationen, betreffend den Betrieb des Systems von der Sendeseite zur Empfangsseite übertragen werden können. Der in Fig. 7 dargestellte Adressengeber $AG2$, der Taktgeber $TG2$, der Speicher RAM , der Zwischenspeicher $ZSP1$ und der Decodierer DC dienen, wie bisher beschrieben, zur Erkennung des Synchronisierwortes und zur Gewinnung des Signals $T3$. Es sind nun aber zusätzliche Einrichtungen erforderlich, um die Kennbits $K1$ und $K2$ zu identifizieren und über gesonderte Leitungen bereitzustellen.

Fig. 8 zeigt wieder in verkleinertem Maßstab die Signale $T4$ und $T7$ und die Adressen $ADR2$, die gemäß Fig. 7 dem Adressenspeicher AS zugeführt werden der von den Adressen 00, 01, 10, 11 genau jene speichert, die während der positiven Flanke des Signals $T7$ auftritt. Bei vorliegendem Ausführungsbeispiel speichert der Adressenspeicher AS die Adresse 10 und gibt sie als Adresse $ADR3$ ab. Der Vergleichler $VG2$ vergleicht dauernd die Adressen $ADR2$ und $ADR3$, und bei Gleichheit dieser beiden Adressen gibt er einen der Vergleichsimpulse V ab. Diese Vergleichsimpulse V kennzeichnen somit die Zeitpunkte, zu denen die Kennbits $K1$ und $K2$ auftreten. Diese Vergleichsimpulse V werden als Zählimpulse einem Binärzähler $AG4$ zugeführt, der wie ein Adressengeber wirkt und die Adressen $ADR4$ abgibt. Mit dem Signal $T3$ wird der Adressengeber $AG4$ auf seinen Anfangszählerstand zurückgestellt, so daß er die Adresse $ADR4=000$ abgibt. Mit der negativen Flanke des nächsten Vergleichsimpulses V wird die Adresse $ADR4=001$ ausgelöst. Mit Hilfe der Decodierer $DC000$ bzw. $DC001$ werden die Adressen $ADR4$ decodiert, und es werden die in Fig. 8 eingezeichneten Decodiersignale abgegeben. Das UND-Glied $U0$ erhält eingangs die Signale $DC000$, ferner einen Vergleichsimpuls V und das Signal $T4$, so daß das mit dem Bezugszeichen $U0$ bezeichnete Signal gleichzeitig mit dem Kennbit $K1$ auftritt. In ähnlicher Weise kennzeichnet das Signal $U1$ das zweite Kennbit $K2$. Mit den Signalen $U0$ bzw. $U1$ werden die bistabilen Kippstufen $KS0$ bzw. $KS1$ aktiviert, so daß mit diesen Kippstufen die gleichzeitig vorhandenen Bits des Signals E gespeichert werden und über die Ausgänge dieser Kippstufen die Kennbits $K1$ bzw. $K2$ abgegeben werden. Die Leitungen, über die diese Kennbits $K1$ bzw. $K2$ abgegeben werden, können beispielsweise mit Alarmeinrichtungen verbunden sein, so daß mit Hilfe dieser Kennbits Alarmmeldungen von der Sendeseite zur Empfangsseite übertragbar sind.

Hierzu 6 Blatt Zeichnungen

Fig. 3

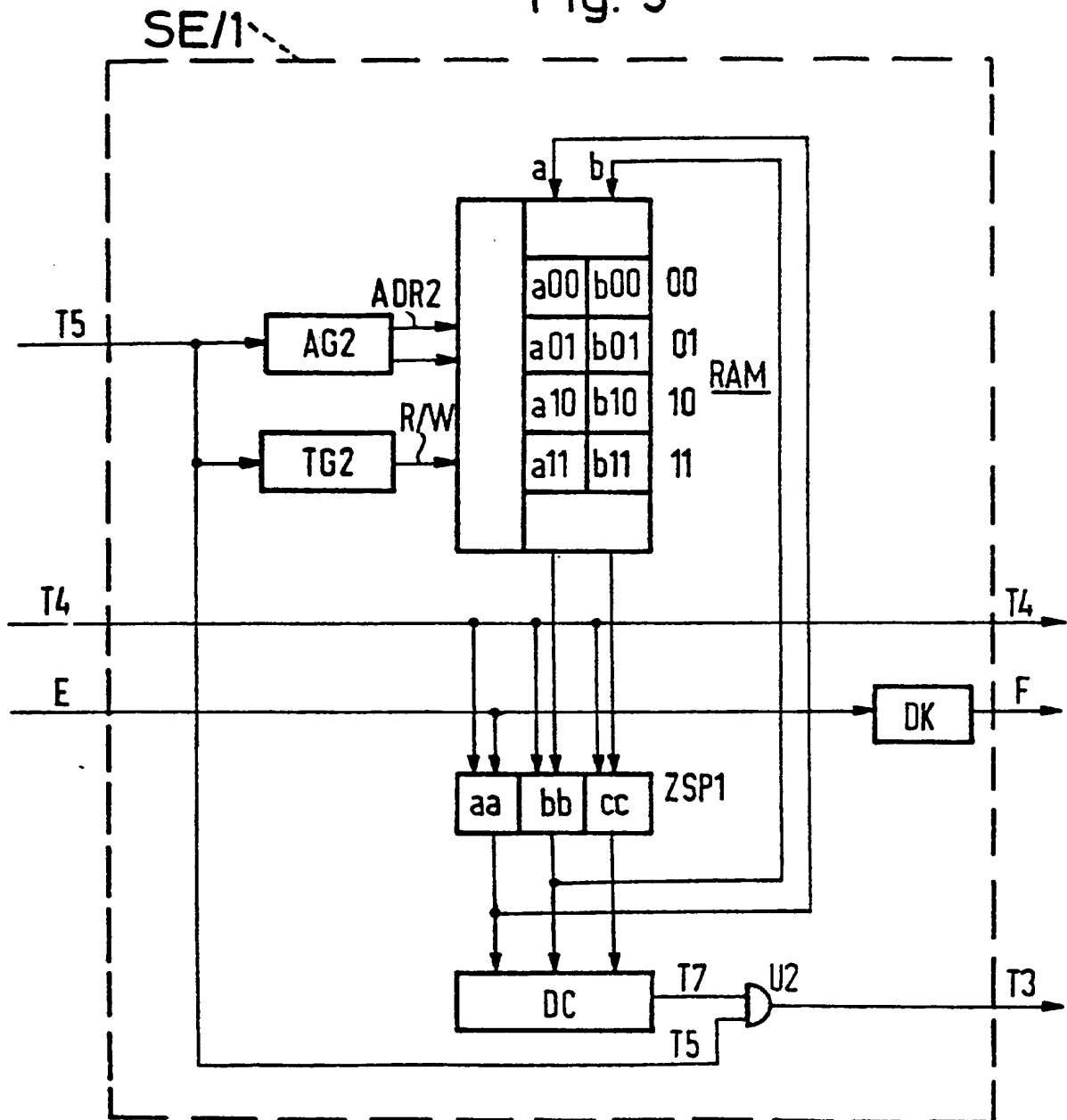


Fig. 4

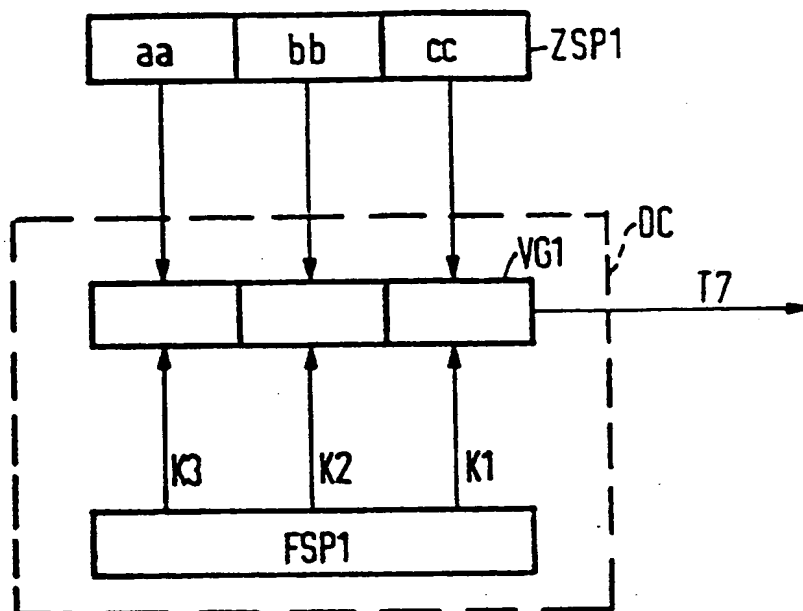


Fig. 5

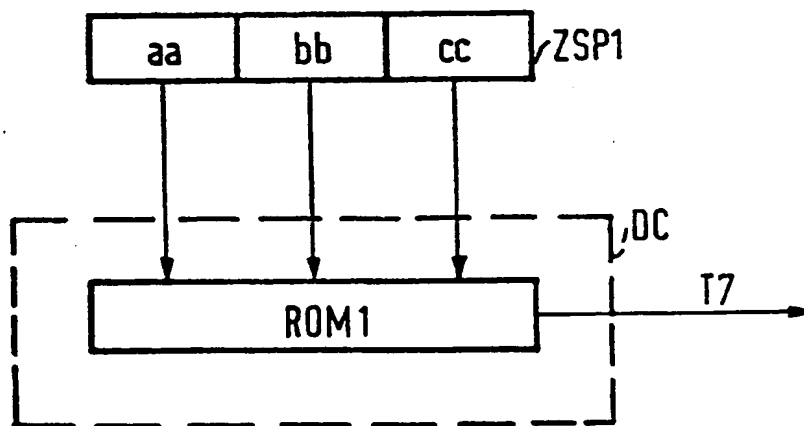


Fig. 6

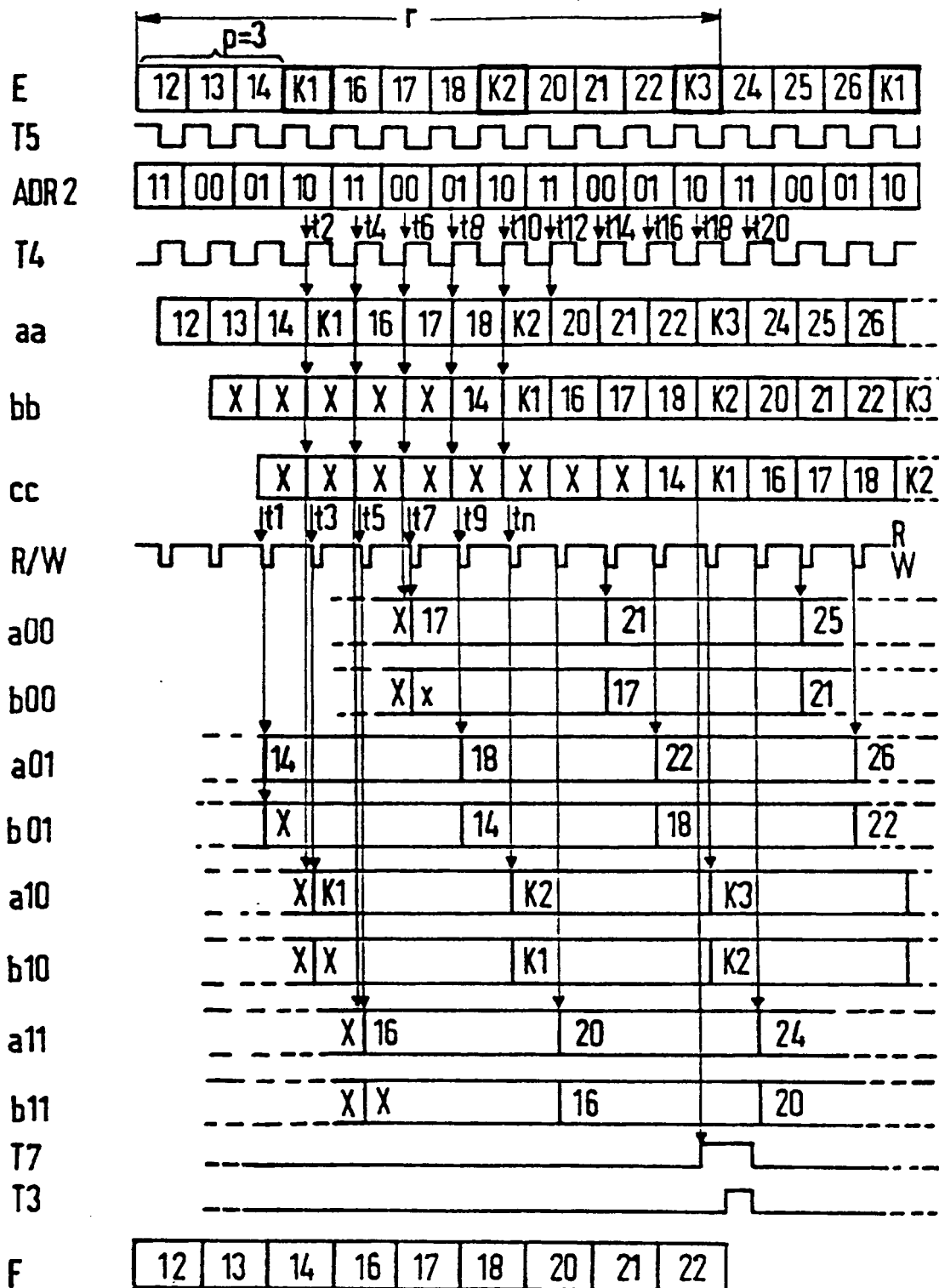


Fig. 7

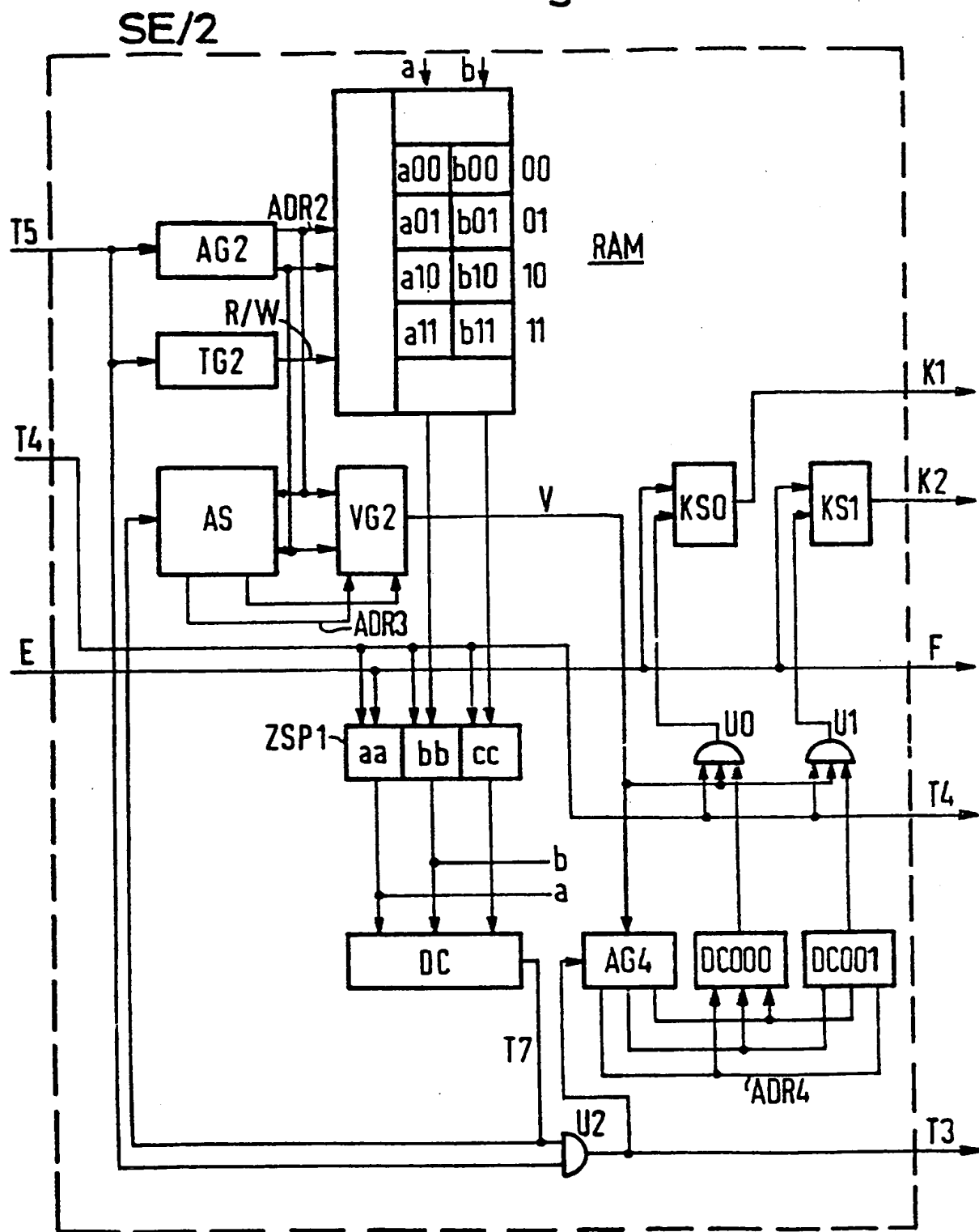
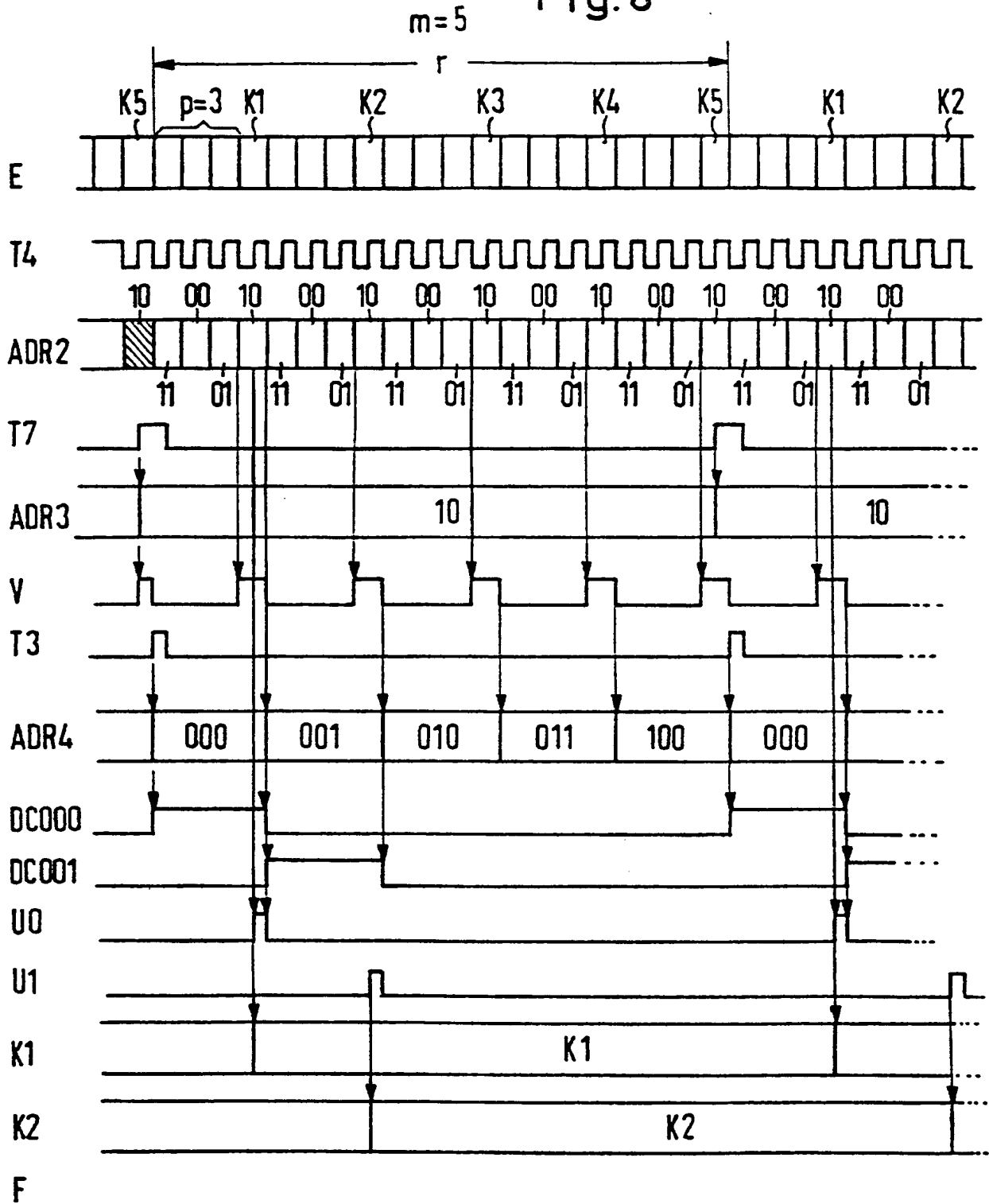
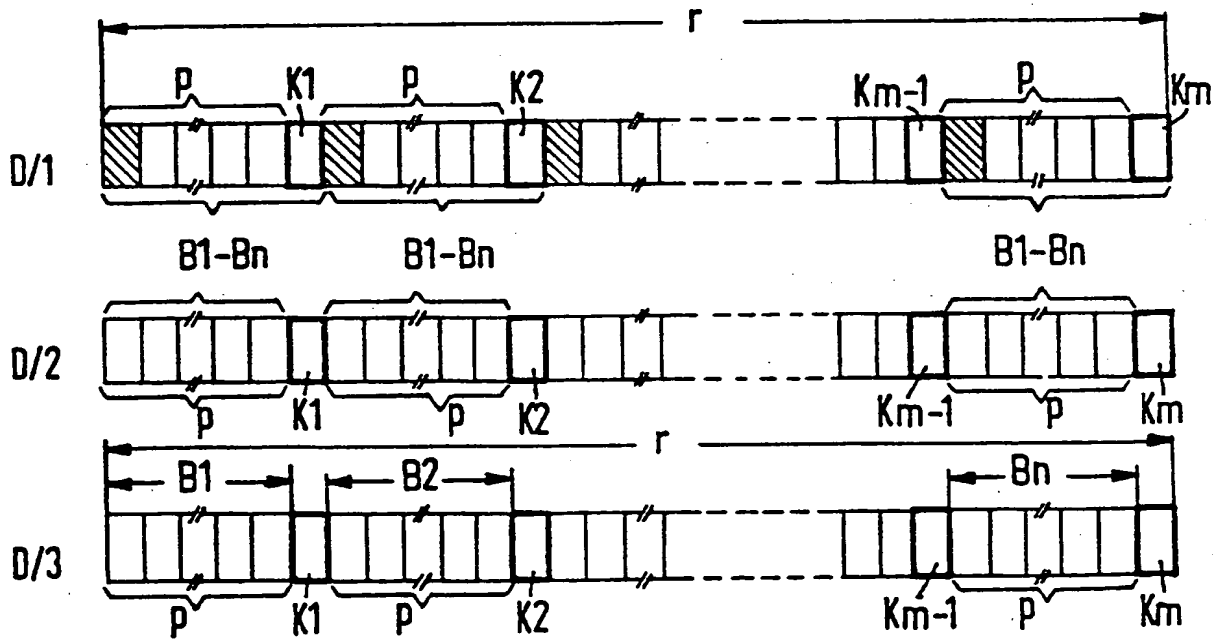
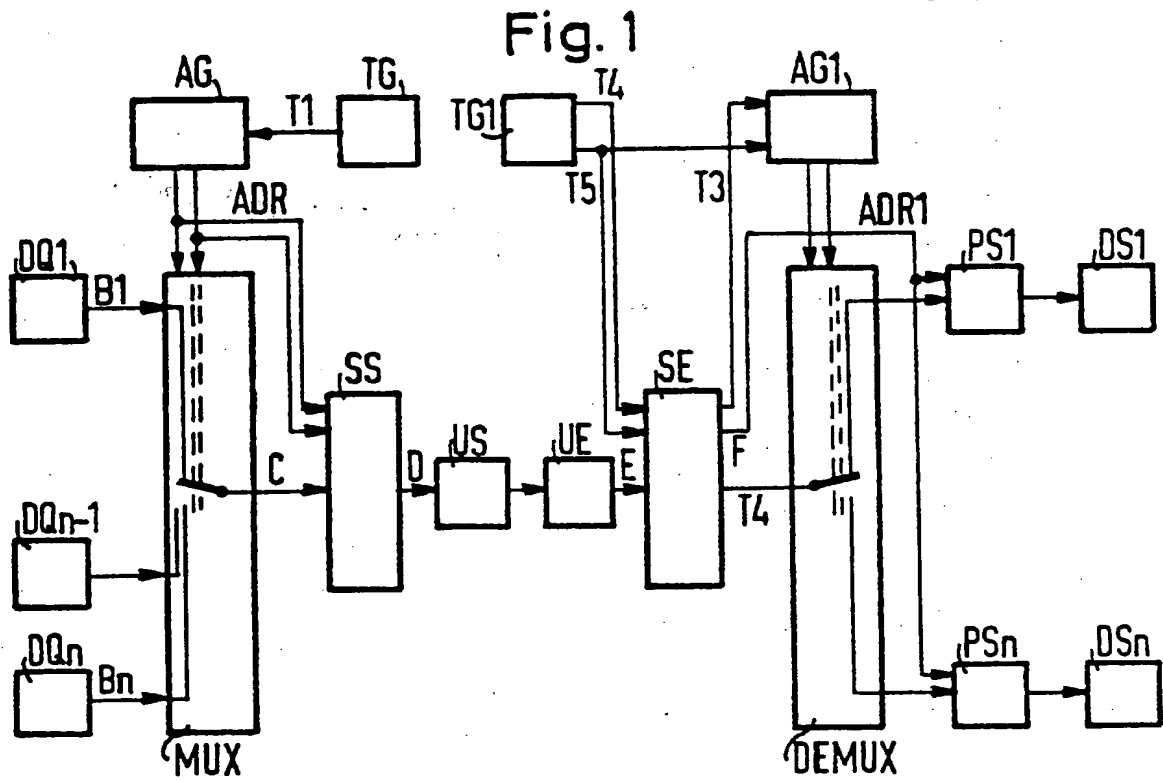


Fig. 8





THIS PAGE BLANK (USPTO)